

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-342078

(43)Date of publication of application : 13.12.1994

(51)Int.CI.

G01T 1/20
G01T 1/00
G03B 42/02
G21K 4/00

(21)Application number : 05-154294

(71)Applicant : SHIMADZU CORP
NIPPON HOSO KYOKAI <NHK>

(22)Date of filing : 31.05.1993

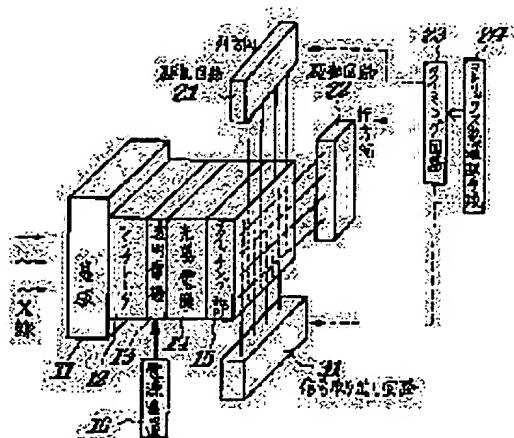
(72)Inventor : TAKEMOTO TAKAYUKI
OIKAWA SHIRO

(54) TWO-DIMENSIONAL RADIATION DETECTOR

(57)Abstract:

PURPOSE: To enable arbitrarily changing image matrix number.

CONSTITUTION: A scintillator 12 for converting image by radiation to light image and a photoconductive film 14 for converting the light image to electric charge image are provided. A multitude of switching elements in a switching part 15 are turned on and off with drive circuits 21, 22 and electric charge is taken out of a multitude of electrodes arranged in matrix-shape contacting the photoconductive film 14.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

特開平6-342078

(43)公開日 平成6年(1994)12月13日

(51) Int. Cl. 5

識別記号

F I

G01T 1/20	G 7204-2G
1/00	B 7204-2G
G03B 42/02	Z
C21K 4/00	C 8607-2G

審査請求 未請求 請求項の数1 FD (全7頁)

(21)出願番号

特願平5-154294

(22)出願日

平成5年(1993)5月31日

(71)出願人 000001993

株式会社島津製作所

京都府京都市中京区西ノ京桑原町1番地

(71)出願人 000004352

日本放送協会

東京都渋谷区神南2丁目2番1号

(72)発明者 竹本 隆之

京都府京都市中京区西ノ京桑原町1番地株式会社島津製作所三条工場内

(72)発明者 及川 四郎

京都府京都市中京区西ノ京桑原町1番地株式会社島津製作所三条工場内

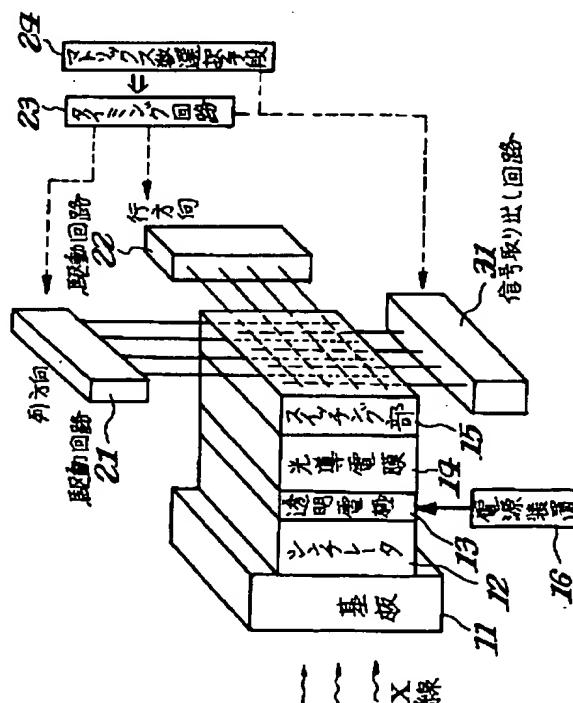
(74)代理人 弁理士 佐藤 祐介

(54)【発明の名称】放射線2次元検出器

(57)【要約】

【目的】 画像のマトリクス数を任意に変更できるようする。

【構成】 放射線による像を光の画像に変換するシンチレータ12と、光の画像を電荷の画像に変換する光導電膜14とを有し、スイッチング部15内の多数のスイッチング素子を駆動回路21、22によってオン・オフさせ、光導電膜14に接触したマトリクス状の多数の電極から電荷を取り出す。



【特許請求の範囲】

【請求項1】 放射線による像を光の画像に変換するシンチレータと、該シンチレータからの光の画像を電荷の画像に変換する光導電膜と、該光導電膜上に設けられたスイッチング部と、このスイッチング部を駆動する駆動回路とを備え、該スイッチング部は、上記の光導電膜に接触したマトリクス状の多数の電極と、信号ラインと、該電極と信号ラインとの間にそれぞれ接続された多数のスイッチング素子と、該スイッチング素子をオン・オフ駆動する、上記の駆動回路に接続された駆動ラインとを有することを特徴とする放射線2次元検出器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、X線等の放射線を検出する、固体走査方式の放射線2次元検出器に関する。

【0002】

【従来の技術】従来より、固体走査方式の放射線2次元検出器として、X線を感知して電荷を発生するセンサを多数マトリクス状に配置し、これらにそれぞれ電気スイッチを設けて、各行ごとに電気スイッチを順次オンにして各列ごとにセンサの電荷を読み出すものが知られている（特開平4-212456号公報）。これを用いてX線画像信号を得る場合、X線源よりX線を被写体に向けて照射し、被写体を透過したX線をこの放射線2次元検出器に入射させると、上記のマトリクスに対応した画素の画像信号が得られる。

【0003】

【発明が解決しようとする課題】しかしながら、従来の放射線2次元検出器では、得られる画像のマトリクス数はハードウェア的に定まっており、任意に変更できないという問題がある。実際に被写体を透過したX線の画像を得ようとする場合、X線源と被写体と検出器との位置関係によって画像の大きさ（拡大率）が変化するため、これに合わせて最適な画像マトリクスを選択する必要があるが、従来の放射線2次元検出器ではこのような画像マトリクスの変更ができない。また、画像の空間分解能を上げるためにマトリクス数を増大させると、各画素（センサ）の大きさが小さくなり、そのため画素当たりの信号強度が低下し、画質が劣化するという関係があるから、画像の用途に合致したマトリクス数を選ぶことが望ましいのにもかかわらず、これができないので問題である。

【0004】この発明は、上記に鑑み、画像のマトリクス数を任意に変更できるように改善した、放射線2次元検出器を提供することを目的とする。

【0005】

【課題を解決するための手段】上記の目的を達成するため、この発明による放射線2次元検出器においては、放射線による像を光の画像に変換するシンチレータと、該シンチレータからの光の画像を電荷の画像に変換する光

導電膜と、該光導電膜上に設けられたスイッチング部と、このスイッチング部を駆動する駆動回路とを備え、該スイッチング部は、上記の光導電膜に接触したマトリクス状の多数の電極と、信号ラインと、該電極と信号ラインとの間にそれぞれ接続された多数のスイッチング素子と、該スイッチング素子をオン・オフ駆動する、上記の駆動回路に接続された駆動ラインとを有することが特徴となっている。

【0006】

【作用】選択されたマトリクス数に応じて駆動回路を制御し、同時にオンにするスイッチング素子の数を定め、信号ラインを通じて1画素ごとに画像信号を取り出す。この場合、1画素の大きさは同時にオンになっているスイッチング素子の数に対応する。そこで、このように1画素の大きさを変更できるため、画像のマトリクス数を任意のものとすることができます。

【0007】

【実施例】以下、この発明の好ましい一実施例について図面を参照しながら詳細に説明する。図1において、基板11の上にシンチレータ12が蒸着法などによって設けられ、つぎに透明電極13、光導電膜14がやはり蒸着法によってX線が入射する面の全面に設けられる。この光導電膜14の上にスイッチング部15が薄膜トランジスタのようなフォトリソグラフィー技術を用いた製造技術によって形成される。X線は基板11の裏面側つまり図では左側から基板11を通ってシンチレータ12に入射し、シンチレータ12において発光が生じる。この光が光導電膜14に導かれて入射光量に応じた電荷が発生する。

【0008】スイッチング部15は光導電膜14の電荷を選択的に読み出すためのもので、図2に示すように、光導電膜14に接触しているマトリクス状の電極と、その電極の各々に設けられたスイッチング素子16と、AND素子17と、列方向駆動ライン（導体パターン）18と、行方向駆動ライン（導体パターン）19と、信号ライン（導体パターン）20とを有している。

【0009】この列方向駆動ライン18は列方向駆動回路21に接続されて駆動されるようになっており、行方向駆動ライン19は行方向駆動回路22に接続されて駆動されるようになっている。これらのライン18、19が駆動されると、その交点に位置するAND素子17から出力が生じてそのスイッチング素子16がオンになる。光導電膜14の反対側の面には透明電極13が全面に設けられて電源装置16により電位が与えられており、スイッチング素子16がオンすることにより、光導電膜14上の電荷が信号ライン20を通じて信号取り出し回路31により取り出される。

【0010】被写体（図示しない）を透過したX線が入射し、シンチレータ12によりそのX線透過像が光学像に変換されると、その光学像に対応した電荷像が光導電

膜14上に形成される。光導電膜14には上記のようにスイッチング部15のマトリクス状の電極が接触しており、光導電膜14は面方向には導電率が低いため、その電極付近の電荷のみが上記のように取り出される。

【0011】上記の列方向駆動回路21及び行方向駆動回路22は、マトリクス数選択手段（手動による設定器等よりなる）24において選択されたマトリクス数に応じてタイミング回路23により制御される。たとえばこの実施例では、スイッチング部15の電極（及びスイッチング素子16、AND素子17）の数が8×8で、最大マトリクス数が8×8であるとすると、マトリクス数を最大の8×8に選択したとき、タイミング回路23の制御の下に、列方向駆動回路21及び行方向駆動回路22がそれぞれ列方向駆動ライン18及び行方向駆動ライン19を順次1本ずつ駆動する。この場合、図3のAで示すように、オンになったライン18、19の交点位置付近の電荷が1本の信号ライン20に現われる。つまり1つの画素51の大きさはライン18、19の交点1個分となる。

【0012】マトリクス数を4×4に選択したときは、列方向駆動ライン18及び行方向駆動ライン19の2本ずつが順次オンになるので、図3のBに示すようにライン18、19の交点4個分の大きさを持つ画素52の電荷が2本の信号ライン20に現われる。いずれにしても信号ライン20には1画素の信号が現われるため、信号取り出し回路31としては単にこれらの8本の信号ライン20を接続すればよい。

【0013】こうして各画素の信号が順次取り出され、その取り出された信号は1個のA/D変換器41によりデジタル信号に変換されるが、図4に示すように8本の信号ライン20を4本ずつに分け、それぞれにA/D変換器41、42を接続するというように、複数のA/D変換器を用いることとすれば実質的なA/D変換時間を短縮することができる。

【0014】各画素の信号取り出し走査は、画素の1個分ずつ駆動ライン18、19をずらしていくようにすればよいが、画素がオーバーラップするような走査も可能である。たとえばマトリクス数を4×4としたときは最小画素単位の4個分（2×2）が1画素の信号として取り出されるが、図5の上段に示すようにその最小画素単位4個分でなる画素52を1つずつオーバーラップしないように矢印方向に走査させるようにしてもよいし、下段に示すように画素52が相互にオーバーラップするよう矢印方向に走査させるようにしてもよい。

【0015】また、列方向駆動ライン18と行方向駆動ライン19とでは、同時にオンする数を同じにしなければならないというわけではない。たとえば列方向駆動ライン18の4本を同時にオンし、行方向駆動ライン19は2本を同時にオンすれば、図6に示すように、最小画素単位の4×2の8個分よりなる長方形画素53とする

ことができる。テレビジョンモニター装置を画像表示装置として使用することを考えると、縦方向は走査線により区切られるのでデジタル的な表示となるが、横方向は走査線上の連続的な変化となりアナログ的な表示であるため、このような画像表示装置の特性に合わせた画素のサイズ、形状の選択が可能となる。

【0016】上記の実施例では列、行の両方向とも読み出す単位（画素の大きさ）を定めているが、行方向のみ駆動ライン19を順次オンにし、列方向はすべてが信号ライン20に現れるようにし、この信号ライン20を選択することによって列の選択を行なう構成とすることもできる。この場合、図2のAND素子17と列方向駆動ライン18と列方向駆動回路21は不要となる。

【0017】たとえば、図7のAに示すように、1行ずつ行方向駆動ライン19を順次オンさせると、オンとなっているi行の電荷が8本の信号ライン20に同時に現われる。図7のBに示すように2行ずつ行方向駆動ライン19を順次オンさせればオンとなっているi行と（i+1）行の電荷が、図7のCに示すように4行ずつ行方向駆動ライン19を順次オンさせればオンとなっているi行、（i+1）行、（i+2）行、（i+3）行の電荷が、それぞれ8本の信号ライン20に同時に現われる。

【0018】そこで、この場合、信号取り出し回路31は、信号選択加算回路32と、マルチブレクサ回路33とにより構成する。信号選択加算回路32は図7のAでは8本の信号ライン20につきなんら加算せず、同Bでは2本ずつ選択して加算し、同Cでは4本ずつ選択して加算する。そしてマルチブレクサ回路33はこれら信号選択加算回路32の出力を順次選択する。

【0019】具体的には信号選択加算回路32はたとえば図8に示すようにスイッチS1～S12のスイッチ群で構成する。そして、これらスイッチ群を経た後、#1～#8の8本の信号ライン20を、積分回路35をそれぞれ介して2つのマルチブレクサ回路33、34に接続し、A/D変換器41、42に導く。

【0020】マトリクス数が8×8のときは、スイッチS1～S6はすべてオフ、スイッチS7～S12はすべてオンにし、図9のように信号ライン20がそのまま積分回路35を経てマルチブレクサ回路33、34に接続されるようにして図7のAのように行方向駆動ライン19を1本ずつオンにする。このときマルチブレクサ回路33、34で1本の信号ラインのみを順次選択すれば、1つの行と1つの列との交点に位置する最小画素単位の信号が順次得られる。

【0021】マトリクス数が4×4のときは、スイッチS1、S3、S4、S6、S8、S11をオン、スイッチS2、S5、S7、S9、S10、S12をオフとする。すると図10のように信号ライン20を2本ずつまとめた信号がマルチブレクサ回路33、34に入力され

るようになる。このとき、行方向駆動ライン19は図7のBのように2本ずつ順次オンにされるので、マルチブレクサ回路33、34で順次入力信号を切り換えていくことにより、最小画素単位の 2×2 を1画素とした信号が順次得られる。

【0022】マトリクス数が 2×2 のときは、スイッチS1～S6をすべてオン、S7～S12をすべてオフとし、図11で示すようにマルチブレクサ回路33、34に信号ライン20を4本ずつまとめた信号が入力されるようとする。マルチブレクサ回路33、34はそれぞれ入力が1つであるからそのまま出力すればよく、切り換え動作は必要ない。このときは行方向駆動ライン19は図7のCに示すように4本ずつが順次オンにされるので、マルチブレクサ回路33、34から最小画素単位の 4×4 を1画素とした信号が同時に outputされる。

【0023】これらにおいて、マルチブレクサ回路33、34の切り換え動作と、行方向駆動ライン19の順次駆動動作はつぎのように行われる。図12に示すように、マルチブレクサ回路33、34からの信号がA/D変換器41、42でA/D変換され、その動作が終了すると、タイミング回路43、44にA/D完了信号が送られる。すると、これらのタイミング回路43、44からマルチブレクサ回路33、34に信号が出てマルチブレクサ回路33、34における信号切り換えが行われる。そのため、タイミング回路43、44は、A/D完了信号を入力信号とするシフトレジスタを内蔵している。このマルチブレクサ回路33、34の信号切り換え動作が一巡して、それぞれのA/D変換器41、42が担当している信号ライン20のすべての変換動作が終了すると、タイミング回路43、44からA/D完了信号が発生してAND回路45に送られる。AND回路45の2つの入力が揃うことによりAND回路45より出力が生じて、これが行方向駆動回路22に送られる。このAND回路45の出力信号は信号ライン20のすべてのA/D変換動作が完了したことを表す。行方向駆動回路22ではこの信号入力に応じて行方向駆動ライン19のスイッチングを行なう。

【0024】行方向駆動回路22には図13に示すように、駆動データが格納されたシフトレジスタ61と、このシフトレジスタ61の各々の内容に応じて駆動されるスイッチSL1～SL8が備えられている。上記のAND回路45からの信号はこのシフトレジスタ61のビット移動信号として用いられる。スイッチSL1～SL8がオンになると基準電位が行方向駆動ライン19に与えられ、そのライン19がオンになる。

【0025】シフトレジスタ61に格納される初期データは、選択されたマトリクス数に応じて図14のA、B、C (Aはマトリクス数 8×8 のとき、Bはマトリクス数 4×4 のとき、Cはマトリクス数 2×2 のとき) のように定められる。これらが、シフトレジスタ61をい

10 たんクリアした(全部を「0」にした)後、順次書き込まれる。そこで、マトリクス数が 8×8 のときはシフトレジスタ61の内容は、最初は図15のAのようになっており、AND回路45からの信号入力があるごとに、順次B、C、…のように1ビットずつ移動していく。そのためデータ「1」に対応する行方向駆動ライン19がオンになるとともに、これが1本ずつずれていく。

【0026】マトリクス数が 4×4 のときは、シフトレジスタ61の内容は、最初は図16のAのようになっており、AND回路45からの信号入力があるごとに、順次B、C、…のように2ビットずつ移動していく、同時にオンになる2本の行方向駆動ライン19が2本ずつずれていく。マトリクス数が 2×2 のときは、シフトレジスタ61の内容は、最初は図17のAのようになっており、AND回路45からの信号入力があるごとに、順次B、A、B、…と4ビットずつ移動していく(交互にAの状態とBの状態とをとり)、同時にオンになる4本の行方向駆動ライン19が4本ずつずれていく。

【0027】これらで、シフトレジスタ61がAND回路45からの信号入力のたびに何ビット移動するかは、初期データの連続している「1」の数に対応させればよい。まず1ビットシフトさせ、つぎの初期データを読み取り、これが「0」ならばそこでシフトを停止し、「1」ならばさらに「1」ビットシフトさせるという構成で可能である。もちろんこのようなシフトレジスタ61を用いることなく、マイクロプロセッサを用いたソフトウェアによりスイッチSL1～SL8をスイッチングさせることもできる。

【0028】なお、これらの実施例では、説明の便宜のため最大マトリクス数を 8×8 として説明したが、実際にはたとえば 1024×1024 のように多いものである。A/D変換器は1個または2個、マルチブレクサ回路は2個用いたが、これらの数もこれらの実施例に限定されずもっと多くすることもできる。

【0029】

【発明の効果】以上、実施例について説明したように、この発明の放射線2次元検出器によれば、画像のマトリクス数をたとえば 256×256 、 512×512 、 1024×1024 のように任意に選択でき、用途に応じたマトリクス数の画像信号を得ることができる。また、スイッチング部はAND素子を設ける場合でもフォトリソグラフィーを用いた半導体製造技術で容易に製造できるため、全体として製造コストを抑えることができる。

【図面の簡単な説明】

【図1】この発明の一実施例の模式的な斜視図。

【図2】同実施例のスイッチング部を示すブロック図。

【図3】画素の大きさ及び位置を示す模式図。

【図4】信号ラインとA/D変換器との接続関係を示す図。

【図5】画素の走査を示す図。

【図6】長方形画素を示す図。

【図7】第2の実施例での行方向駆動ラインと信号取り出し回路とを示すブロック図。

【図8】同実施例のより具体的な回路を示すブロック図。

【図9】同実施例において 8×8 のマトリクス数での接続状態を示すブロック図。【図10】同実施例において 4×4 のマトリクス数での接続状態を示すブロック図。【図11】同実施例において 2×2 のマトリクス数での接続状態を示すブロック図。

【図12】同実施例におけるA/D変換器と行方向駆動回路との間の回路を示すブロック図。

【図13】同実施例における行方向駆動回路の具体的構成を示すブロック図。

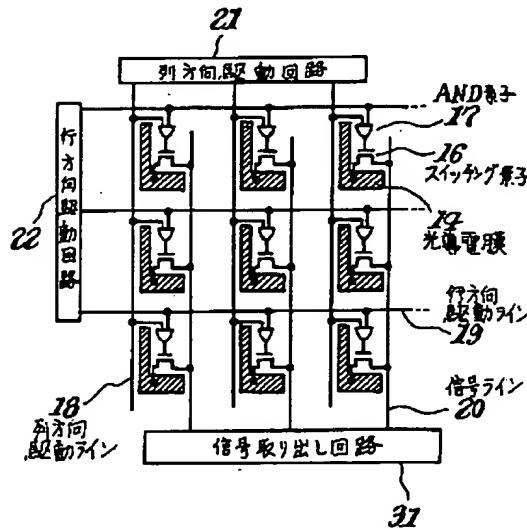
【図14】図13のシフトレジスタに格納する初期データを示す図。

【図15】 8×8 のマトリクス数でのシフトレジスタの状態を示す図。【図16】 4×4 のマトリクス数でのシフトレジスタの状態を示す図。【図17】 2×2 のマトリクス数でのシフトレジスタの状態を示す図。

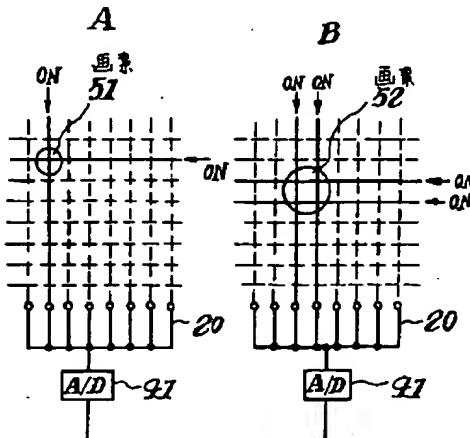
【符号の説明】

1 1	基板
1 2	シンチレータ
1 3	透明電極
1 4	光導電膜
1 5	スイッチング部
1 6	電源装置
1 7	AND素子
1 8	列方向駆動ライン
10 1 9	行方向駆動ライン
2 0	信号ライン
2 1	列方向駆動回路
2 2	行方向駆動回路
2 3	タイミング回路
2 4	マトリクス数選択手段
3 1	信号取り出し回路
3 2	信号選択加算回路
3 3、3 4	マルチプレクサ回路
3 5	積分回路
20 4 1、4 2	A/D変換器
4 3、4 4	タイミング回路
4 5	AND回路
5 1、5 2	画素
6 1	シフトレジスタ

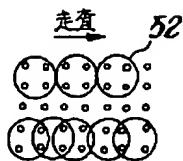
【図2】



【図3】



【図5】



【図16】

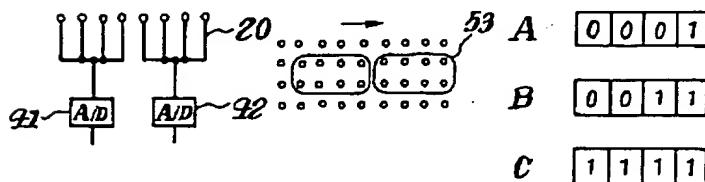
A	0 0 0 0 0 0 1 1
B	0 0 0 0 1 1 0 0
C	0 0 1 1 0 0 0 0
D	1 1 0 0 0 0 0 0

A	0 0 0 1
B	0 0 1 1
C	1 1 1 1

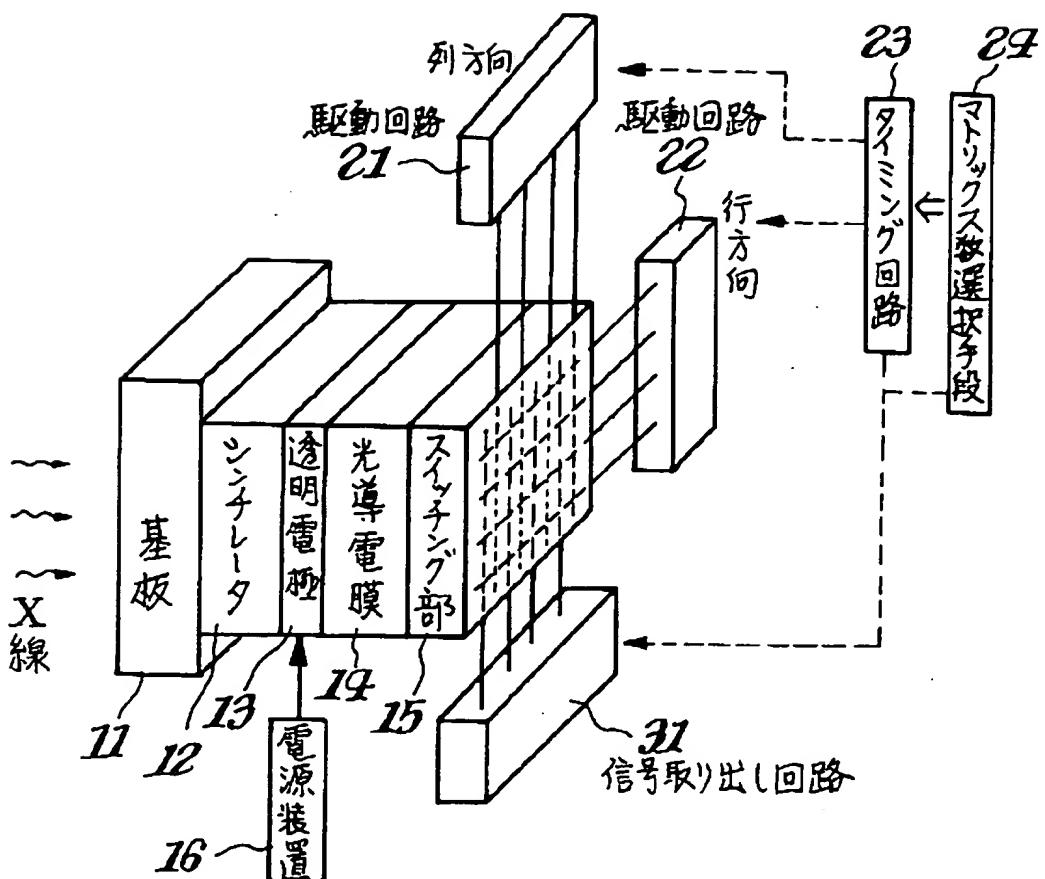
【図4】

【図6】

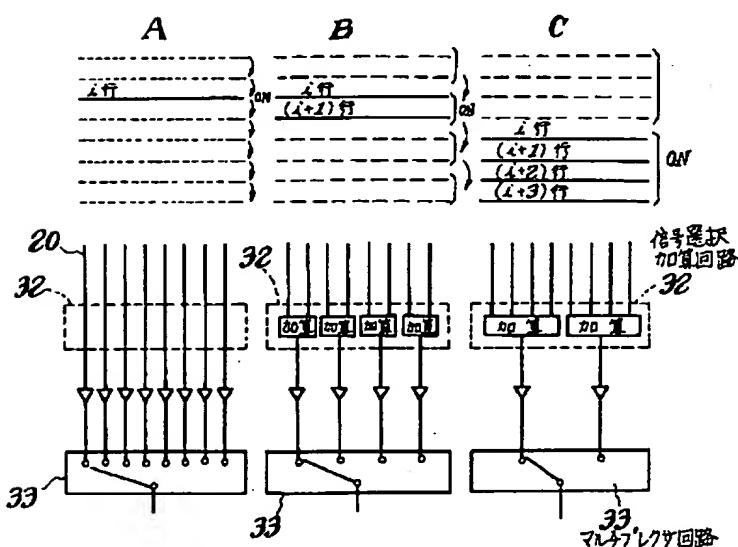
【図14】



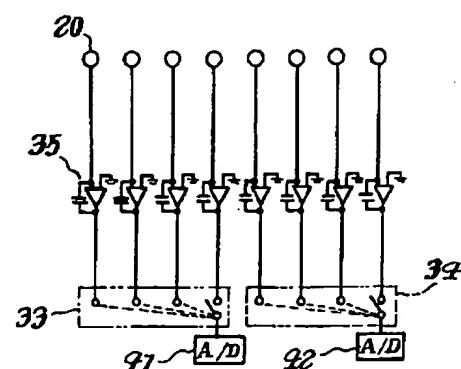
[1]



[図7]



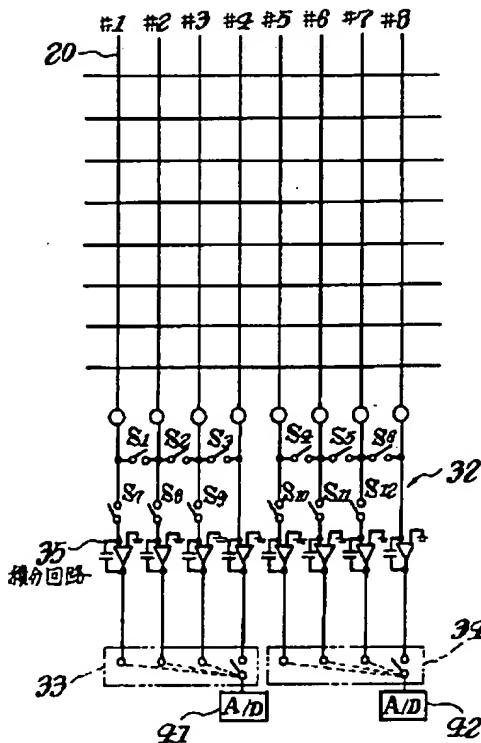
[图9]



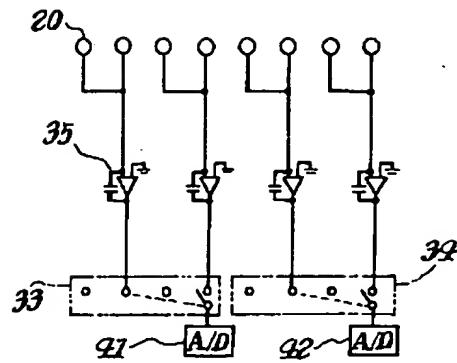
[図17]

<i>A</i>	0	0	0	0	1	1	1	1
<i>B</i>	1	1	1	1	0	0	0	0

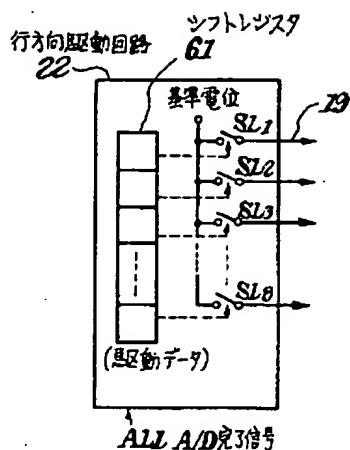
【図8】



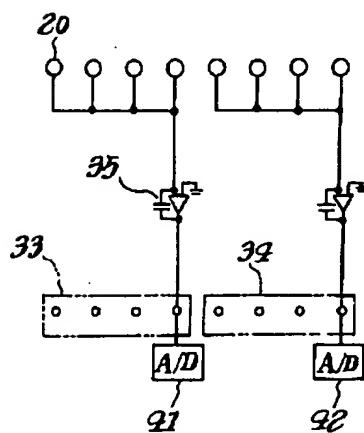
【図10】



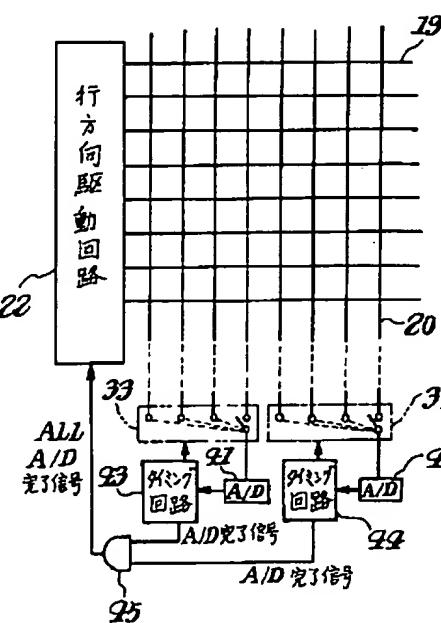
【図13】



【図11】



【図12】



【図15】

A	0 0 0 0 0 0 0 1
B	0 0 0 0 0 0 1 0
C	0 0 0 0 0 1 0 0
D	0 0 0 0 1 0 0 0
E	0 0 0 1 0 0 0 0
F	0 0 1 0 0 0 0 0
G	0 1 0 0 0 0 0 0
H	1 0 0 0 0 0 0 0